

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-25962

⑮ Int. Cl.³G 06 F 15/16
13/14

識別記号

3 2 0 K

庁内整理番号

8840-5L
7230-5B

⑭ 公開 平成4年(1992)1月29日

審査請求 未請求 請求項の数 2 (全3頁)

⑯ 発明の名称 マルチ中央処理装置による制御システム

⑰ 特 願 平2-130932

⑱ 出 願 平2(1990)5月21日

⑲ 発 明 者 戸 島 充 洋 東京都港区芝5丁目7番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

マルチ中央処理装置による制御システム

特許請求の範囲

1. 複数の中央処理装置が共有バスを介して接続しているマルチ中央処理装置による制御システムにおいて、前記複数の中央処理装置が共通に使用するプログラムコードと固定データとを記憶する記憶装置と、この記憶装置と前記複数の中央処理装置間を接続する共有コード転送用バスと、前記複数の中央処理装置それぞれに前記共有コード転送用バスを介して前記記憶装置にアクセスして前記プログラムコードをキャッシュするキャッシュコントローラと、このキャッシュコントローラでキャッシュしたプログラムコードを記憶するキャッシュメモリとを有することを特徴とするマルチ中央処理装置による制御システム。

2. 前記記憶装置は取替え可能なROMを有し

て成ることを特徴とする請求項1記載のマルチ中央処理装置による制御システム。

発明の詳細な説明

(産業上の利用分野)

本発明はマルチ中央処理装置による制御システムに関する。

(従来の技術)

一般に、マルチ中央処理装置(以下CPUと記す)による制御システムにおいては、CPU間で共通に使用しているプログラムコードがあり、次にあげるものがこれに該当する。

- ・オペレーティングシステムのプログラムコード

- ・共有バスや共有メモリを使用してCPU間でデータのやりとりを行なうプログラムコード

- ・同種のプログラマブルデバイスに対して制御を行なうプログラムコード

- ・まったく同じ動作をするCPUがシステム上に複数ある場合、そのプログラムコード

BEST AVAILABLE COPY

従来のマルチCPUによる制御システムでは、このようにCPU間で共通に使用しているプログラムコードについても、それぞれのCPUごとにプログラムコードをROMに書き込んで実装する構成となっていた。

(発明が解決しようとする課題)

上述した従来のマルチCPUによる制御システムでは、CPU間で共通に使用しているプログラムコードについてもそれぞれのCPUごとにプログラムコードをROMに書き込んで実装する構成となっているので、このためCPU間で共通に使用しているプログラムコードに変更があった場合には、それを使用しているCPUの数だけROMにプログラムコードを書き込んで、ROMを取り替える必要があるという欠点がある。

(課題を解決するための手段)

本発明のマルチCPUによる制御システムは、複数の中央処理装置が共有バスを介して接続しているマルチ中央処理装置による制御システムにおいて、前記複数の中央処理装置が共通に使用する

プログラムコードと固定データとを記憶する記憶装置と、この記憶装置と前記複数の中央処理装置間を接続する共有コード転送用バスと、前記複数の中央処理装置それぞれに前記共有コード転送用バスを介して前記記憶装置にアクセスして前記プログラムコードをキャッシュするキャッシュコントローラと、このキャッシュコントローラでキャッシュしたプログラムコードを記憶するキャッシュメモリとを有し、また前記記憶装置は取替え可能なROMを有している。

(実施例)

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図である。

第1図において、本実施例は中央処理装置(以下CPUと記す)4、5と、CPU4、5間でデータ転送を行うための共有バス1と、CPU4、5で共通に使用しているプログラムコードが書込まれているROM3と、CPU4、5がROM

3の中のプログラムコードを参照してプログラムコードをCPU4、5へ転送するための共有コード転送用バス2とを有して構成し、CPU4はROM3の中のプログラムコードをキャッシュするためのキャッシュコントローラ(以下CACTLと記す)42と、キャッシュしたプログラムコードを格納するキャッシュメモリ(以下CAMと記す)43と、共有バス1から転送されたまたは転送されるデータを一時記憶するバスバッファ(以下BAと記す)41と、CPU4の制御プログラムを格納しているプログラムメモリ(以下PROM)47と、CPU4のローカルDRAM(以下LDRAMと記す)46と、被制御装置(以下EQと記す)6とインタフェースするI/Oバッファ(以下I/OBと記す)48と、CPU4内全体をローカルバス(以下LBUSと記す)44を介して制御する制御部(以下CTLと記す)45とを有して構成し、CPU5も同様にBA51、CACTL52、CAM53、LBUS54、LDRAM56、PROM57、

I/OB58およびCTL55とを有して構成している。

次に、本実施例のROM3を参照する場合の動作について説明する。

CPU4、5で共通に使用されるプログラムコードが格納されているROM3をCPU4が参照する場合、CACTL4が共有コード転送用バス2を介してROM3を直接制御し、ROM3から転送されてくるプログラムコードをCAM43に格納させる。

もし、プログラムコードに変更が生じた場合にはROM3のプログラムコードのみを変更し、CPU4、5それぞれのCACTL42、52からROM3をキャッシュすることにより、変更されたプログラムコードがCAM43、53に格納される。

このとき、CPU4、5間でデータ転送を行うための共有バス1になんら影響を与えることはない。

(発明の効果)

BEST AVAILABLE COPY

以上説明したように本発明は、CPU間で共通に使用しているプログラムコードを、共有バスとは別に各CPUのキャッシュコントローラから直接制御できるバスチャネル上に配置する1組の記憶装置で供給することができるようにしたので、CPU間で共通に使用しているプログラムコードを変更した場合でも、従来のようにそのプログラムコードを使用している分だけプログラムコードをROMに書き込んでCPU内のROMを取り替えるという必要がなくなり、1組の記憶装置のROMにコードを書き込んでそのROMを取り替えるだけでよいという効果を有する。

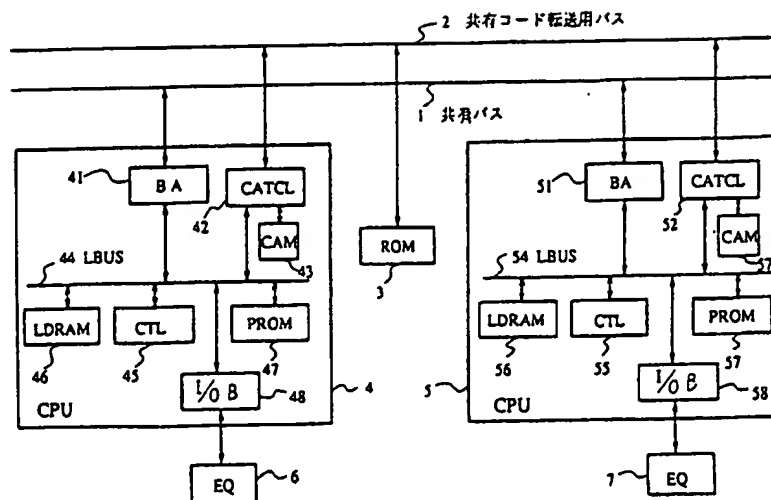
また、記憶装置からCPU間で共通に使用しているプログラムコードを共有コード転送用バスを用いて転送することにより、CPU間でデータのやりとりを行う共有バスの効率を下げることなく各CPUからプログラムコードを参照することができる効果がある。

図面の簡単な説明

第1図は本発明の一実施例を示すブロック図である。

1…共有バス、2…共有コード転送用バス、3…ROM、4、5…中央処理装置(CPU)、6、5…被制御装置(EQ)、41、51…バスバッファ(BA)、42、52…キャッシュコントローラ(CACTL)、43、53…キャッシュメモリ(CAM)、44、54…ローカルバス(LBUS)、45、55…制御部(CTL)、46、56…ローカルDRAM(LDRAM)、47、57…プログラムROM(PROM)、48、58…I/Oバッファ(I/OB)。

代理人 弁理士 内 原 晋



第1図

BEST AVAILABLE COPY